

CLIPPEDIMAGE= JP405343603A
PAT-NO: JP405343603A
DOCUMENT-IDENTIFIER: JP 05343603 A
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: December 24, 1993

INVENTOR-INFORMATION:
NAME
MIZUNASHI, HARUMI

ASSIGNEE-INFORMATION:
NAME
NEC CORP

| | |
|--|---------|
| | COUNTRY |
| | N/A |

APPL-NO: JP04149082
APPL-DATE: June 9, 1992

INT-CL (IPC): H01L025/00
US-CL-CURRENT: 257/700,257/778

ABSTRACT:

PURPOSE: To prevent that noise due to the self inductance of a power supply system wiring pattern of a package and the self inductance of a power supply system bonding wire electrically connecting a semiconductor chip with a package wiring pattern permeates onto a semiconductor chip to cause malfunction in a semiconductor device.

CONSTITUTION: An insulating substrate 5 wherein electrode terminals 4 connected with electrode terminals 2 of a semiconductor chip 1 are arranged on one surface, and electrode terminals 7 to be connected with the electrode terminals 4 via through holes 6 are arranged on the other surface is used. The electrode terminals 4 of the insulating board 5 are connected with the electrode terminals 2 of the semiconductor chip 1 by using metal brazing material 3. A

capacitor 9 is arranged by using metal brazing material 8,
between the
electrode for supplying power source potential and the
electrode for supplying
ground potential, out of electrode terminals of the
insulating substrate 5.
The electrode terminals 7 are electrically connected with
the wiring pattern of
a package base body 12 by using metal thin wires 16.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-343603

(43)公開日 平成5年(1993)12月24日

(51)Int.Cl.⁴
H 0 1 L 25/00

識別記号 庁内整理番号
B

F I

技術表示箇所

審査請求 未請求 請求項の数 6 (全 6 頁)

(21)出願番号 特願平4-149082

(22)出願日 平成4年(1992)6月9日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 水梨 晴美

東京都港区芝五丁目7番1号日本電気株式
会社内

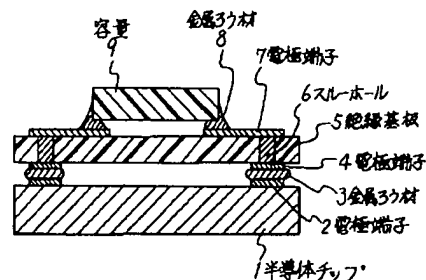
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置

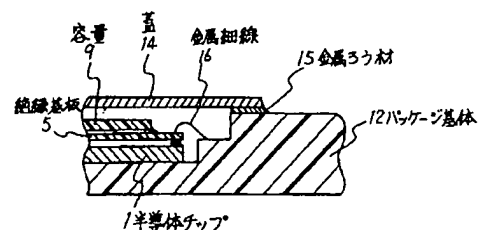
(57)【要約】

【目的】半導体装置において、パッケージの電源系配線パターンの自己インダクタンスおよび半導体チップとパッケージの配線パターンとを電氣的に接続する電源系ボンディングワイヤなどの自己インダクタンスに起因するノイズが半導体チップに侵入し、誤動作が生じることを防止する。

【構成】一方の面に半導体チップ1の電極端子2に接続される電極端子4が設けられ、他方の面にスルーホール6を介して電極端子4に接続される電極端子7が設けられた絶縁基板5を備えている。絶縁基板5の電極端子4と半導体チップ1の電極端子2とを金属ろう材3で接続する。絶縁基板5の電極端子7のうち、電源電位給電用のものとグランド電位給電用のものとに、金属ろう材8を用いて容量9を設ける。電極端子7とパッケージ基体12の配線パターンとを金属細線16を用いて電氣的に接続する。



(a)



(b)

【特許請求の範囲】

【請求項1】 半導体チップと、この半導体チップに電流を導く電気配線パターンが設けられた半導体装置用容器とを含む半導体装置であって、

一方の面に第1の電極端子が設けられ、他方の面に前記第1の電極端子と電気的に接続された第2の電極端子が設けられ、前記第2の電極端子のうち、電源電位給電用の第2の電極端子とグランド電位給電用の第2の電極端子とからなる少なくとも一対の第2の電極端子が容量を介して接続されてなる絶縁基板を有し、

前記半導体チップと前記絶縁基板と前記半導体装置用容器とは、前記半導体チップに設けられた電極端子が前記絶縁基板の前記第1の電極端子に電気的に固着接続され、前記絶縁基板の前記第2の電極端子と前記半導体装置用容器の前記電気配線パターンとが電気的に接続されている構造であることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記半導体チップに設けられた前記電極端子と前記絶縁基板の前記第1の電極端子とが、金属ろう材を用いて電気的に固着接続されていることを特徴とする半導体装置。

【請求項3】 請求項1または請求項2記載の半導体装置において、前記半導体チップは前記半導体装置用容器に設けられたチップ搭載部に固着され、前記絶縁基板の前記第2の電極端子と前記半導体装置用容器の前記電気配線パターンとが、金属細線のワイヤボンディングにより接続されている構造の半導体装置。

【請求項4】 請求項1または請求項2記載の半導体装置において、前記容量は、前記絶縁基板の前記他方の面に設けられた金属薄膜と、前記金属薄膜上に設けられた誘電体層と、前記誘電体層上に設けられた金属薄膜とからなることを特徴とする半導体装置。

【請求項5】 請求項4記載の半導体装置において、前記誘電体層が、チタン酸ストロンチウムからなることを特徴とする半導体装置。

【請求項6】 請求項4または請求項5記載の半導体装置において、前記絶縁基板の前記第2の電極端子と前記半導体装置用容器の前記電気配線パターンとが、金属ろう材を用いて電気的に固着接続されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置に関する。

【0002】

【従来の技術】近年、半導体装置の多機能化は著しく、そのため半導体チップの高速化、高消費電力化が進んでいる。それに伴って、電源系統の配線パターンにおい

て、電源電流の増加や変化の高速化により、配線自体が有するインダクタンスにより発生する逆起電力、即ち電氣的ノイズ（以下、ノイズという）が大きくなり、このことが原因で半導体装置の誤動作が起り易くなってきている。

【0003】従来、ノイズ対策としては、電源系統の配線のインダクタンス低減や電源配線とグランド配線間に容量を結合する方法などが一般に用いられていた。後者の方法において、容量の取付け位置は、一般に、半導体装置を実装する配線基板上の半導体装置に近い場所、特に半導体装置の外部端子付近に設けることが多い。これは、下記の理由による。

【0004】図3（a）は、電源系配線のインダクタンスとノイズ対策用容量のキャパシタンスに関する等価回路図であり、容量を半導体装置の外部端子部分に付けた状態を示す。容量9より右側のインダクタンスL1とインダクタンスL2とは、半導体装置を実装する配線基板の配線パターンによるもので、容量9より左側のインダクタンスL3とインダクタンスL4とは、半導体装置用容量（以下パッケージと記す）内の配線による分を表している。一般に、L1、L2>L3、L4の関係がある。

【0005】ここで、半導体チップのスイッチングにより、電源系配線に流れる電流に変化が生じると、下式に示すような逆起電力e（ノイズ）が発生する。

【0006】

$$e = -L \cdot (di/dt) \quad (V) \quad \dots \textcircled{1}$$

ノイズのうち、L1、L2、即ち、半導体装置を実装する配線基板の配線パターンにより発生する分は、容量9を流れ半導体チップには流れ込まないので、半導体チップからみればノイズが低減されたことになる。即ち、半導体チップに流れ込むノイズは、パッケージ内の配線のインダクタンス分だけになる。よって、ノイズを効果的に減ずるには、電源系配線中のより半導体チップに近い場所に容量を取付ける必要がある。

【0007】そこで最近では、図3（b）に示すように、パッケージに容量を取付ける方法が用いられている。図3（b）において、絶縁基板13は、アルミナセラミック多層基板を使用している。絶縁基板13は多層配線になっており、配線層として信号層13Aと電源層13Bとが設けられている。電源層13Bは2種類設けられており、一方が電源配線用、もう一方がグランド配線用になっている。

【0008】絶縁基板13には、一方の面の2層にくぼみを設け、半導体チップ搭載部を形成している。そこに半導体チップ1を接着し、金属細線16で半導体チップ1と、絶縁基板13の信号層13Aの配線パターンとを電気的に接続している。半導体チップ1の電源は、信号層13Aとスルーホール（図示せず）とを介して電源層13Bから供給されている。半導体チップ1は、金属製

の蓋14を金属ろう材15を用いて気密封止されている。絶縁基板13内の電源層13Bから引出された電源の一端が絶縁基板13の表面に設けてあり、そこに容量9が取付けられている。容量9には、一般に、キャパシタンス5〜1000(nF)程度のものが使われている。

【0009】

【発明が解決しようとする課題】上述した従来の半導体装置では、容量が絶縁基板内の電源層に接続されているので、そこより半導体チップ側、特に金属細線のインダクタンスによるノイズ分については無効であった。

【0010】金属細線のインダクタンスは、そのループ形状により異なるが、直径30 μ mのシリコン1%含有のアルミニウムワイヤーで1mm当り、約0.5〜1.0nHである。通常、金属細線長さは、2〜3mm程度になるので、金属細線1本当り1〜3nHの値となる。

【0011】このインダクタンスの値は、従来の半導体装置の動作速度では無視できる値であったが、近年の高速化により無視できない値となっている。例えば、最近のバイポーラデバイス(ECLゲートアレイ)では、100p・sec間に20mA程度電流が変化するようになっている。インダクタンスを3nHとして式④により計算すると、0.6Vの逆起電力が発生する。通常、半導体装置の信号電圧は5Vであるので、この逆起電力は十分に誤動作の原因になってしまう。

【0012】以上説明したように、容量を半導体装置絶縁基板内の電源層から導出した電極端子に取付ける構造の従来の半導体装置では、ボンディングワイヤーのインダクタンスによる逆起電力に対して無効であり、半導体装置の動作速度向上には限界がある。

【0013】一方、最近、半導体素子上に薄膜技術を用いて直接コンデンサーを形成する試みも行われているが、誘電体の比誘電率を実用的な値にしようとすると500℃以上の高温で蒸着しなければならない。ところが、半導体チップの耐熱性が500℃に達していないことから、いまだ実用化できないでいる。

【0014】本発明は上述のような従来の半導体装置の問題点に鑑みてなされたものであって、電源電流の変化により発生するノイズを、従来の半導体装置におけるよりもより効果的に除去することのできる構造の半導体装置を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明の半導体装置は、半導体チップと、この半導体チップに電流を導く電気配線パターンが設けられた半導体装置用容器とを含む半導体装置であって、一方の面に第1の電極端子が設けられ、他方の面に前記第1の電極端子と電気的に接続された第2の電極端子が設けられ、前記第2の電極端子のうち、電源電位給電用の第2の電極端子とグランド電位給電用の第2の電極端子とからなる少なくとも一対の第2

の電極端子が容量を介して接続されてなる絶縁基板を有し、前記半導体チップと前記絶縁基板と前記半導体装置用容器とは、前記半導体チップに設けられた電極端子が前記絶縁基板の前記第1の電極端子に電気的に固着接続され、前記絶縁基板の前記第2の電極端子と前記半導体装置用容器の前記電気配線パターンとが電気的に接続されている構造であることを特徴としている。

【0016】

【実施例】次に本発明の好適な実施例について図面を参照して説明する。図1(a)は本発明の第1の実施例を示す部分縦断面図で、特に半導体チップ部分を拡大したものである。

【0017】図1(a)を参照すると、本実施例では、半導体チップ1上面の縁に沿って設けられている複数の電極端子2に、金属ろう材3としてのAg/Su/Pb合金を用いて、絶縁基板5の下面に設けてある電極端子4を接着している。絶縁基板5には、半導体チップ1の基材であるシリコンの熱膨張率を考慮し、窒化アルミニウムセラミックを用いている。厚さは0.5mmであり、外形は、半導体チップ5と同じ大きさで、14.1mm×14.2mmである。

【0018】絶縁基板5の上面には、下面の電極端子4とスルーホール6によって電気的に接続された電極端子7が設けられている。電極端子7のうち特に電源配線用の電極端子とグランド配線用の電極端子はその内縁部に、容量9が金属ろう材8としてのAu/Sn合金を用いて接着されている。すなわち、電源配線とグランド配線とが容量9で電気的に接続された構造になっている。容量9には、キャパシタンス0.1 μ Fの市販の積層セラミックコンデンサー(サイズは1.25mm×2mmで厚さ1mm)を用いた。

【0019】以下に、パッケージ基体との接続等について、図1(a)、(b)を用いて説明する。

【0020】図1(a)、(b)において、電極端子7の外縁部は、パッケージ基体12に設けられた配線パターン(図示せず)と金属細線16で電気的に接続される部分である。パッケージ基体12には、アルミナセラミック製積層基板を用いた、金属細線16には、直径30 μ mのシリコン含有アルミニウム線を用い、超音波ボンディングにより電気的、機械的に接続している。

【0021】半導体チップ1は、パッケージ基体12にエポキシ樹脂系接着材(図示せず)で固着されている。そして、パッケージ基体12に蓋14を、金属ろう材15としてのSu/Pb合金を用いて固着することで気密封止されている。

【0022】本実施例では、金属細線のインダクタンスによる逆起電力を除去できる結果、バイポーラデバイス(ECLゲートアレイ)において、10p・secの間に20mA程度電流が変化しても誤動作しない。実験では、80p・secの間に20mA程度電流が変化して

5

も誤動作しないことが確められた。

【0023】次に、本発明の第2の実施例について説明する。図2(a)は、本発明の第2の実施例の部分縦断面図であり、特に、半導体チップ部分を拡大して示すものである。

【0024】本実施例では、容量を薄膜技術を用いて絶縁基板5上に形成しており、第1の実施例に比べて薄くできるという特徴がある。本実施例は、第1の実施例に比べて厚みが約1/3になっており、特に薄型化を要求される場合に有効である。

【0025】絶縁基板5には、窒化アルミニウムセラミックを用いており、その上面にアルミニウムを蒸着して電極端子7を形成すると共に、平板電極10Aを形成している。アルミニウムの蒸着膜の厚みは3~5μmである。平板電極10Aは、電極端子7の内、電源配線用のもののみと電気的に接続されている。

【0026】平板電極10Aの上には、電極端子7に重ならないように、平板電極10A上の上に、誘電体層11として比誘電率100~130のチタン酸ストロンチウムが厚さ約1μmほど蒸着されている。更に、誘電体層11の上に平板電極10Bとしてのアルミニウム膜が蒸着により形成されている。アルミニウムの膜厚は、3~5μmである。平板電極10Bは、電極端子7の内、平板電極10Aと電気的に接続されていない方のもの（グラウンド配線用）と電気的に接続されている。

【0027】平板電極10A、10B及び誘電体層11で形成されたコンデンサの有効寸法を10mm×10mmにすることでキャパシタンスを約0.1μFにすることができた。本実施例では、金属ろう材3にAu/Sn合金を用いている。

【0028】以下にパッケージ基体12との接続等について、図2(a)、(b)を用いて説明する。本実施例では、絶縁基板5上の電極端子7上にSn/Pb合金製の金属ろう材17の bumps が形成されている。この絶縁基板5は、下向きにされ、パッケージ基体12の電気的接続用配線パターン（図示せず）に金属ろう材17で接続されている。半導体チップ1を搭載した絶縁基板5は、蓋14を、電気的接続用配線パターン周辺部に予め取付けられた金属棒18にシームウエルド溶接で固着することにより気密封止されている。

【0029】尚、上述の2つの実施例では、電源配線と

6

グラウンド配線の組合せが、一組である場合について説明したが、本発明はこれに限られるものではない。例えばECLとTTLとが混在する回路のように、一つの半導体チップ上に電源配線とグラウンド配線との組合せが複数ある半導体装置において、本例と同様な効果を得ることができる。

【0030】

【発明の効果】以上、説明した様に本発明を用いることにより、半導体チップの特性を劣化させることなく半導体チップの極く近傍に容量を設けることができるので、金属細線のインダクタンス分により発生する逆起電力を打消し半導体チップへのノイズの侵入を防ぎ、半導体チップの動作速度を向上できる。

【図面の簡単な説明】

【図1】分図(a)は、本発明の第1の実施例における、半導体チップ部の部分断面図である。分図(b)は、本発明の第1の実施例における、半導体チップとパッケージ基体との接続部の部分断面図である。

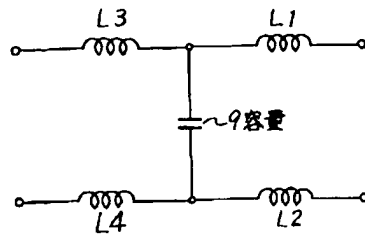
【図2】分図(a)は、本発明の第2の実施例における、半導体チップ部の部分断面図である。分図(b)は、本発明の第2の実施例における、絶縁基板とパッケージ基体との接続部の部分断面図である。

【図3】分図(a)は、半導体装置の外部端子部分にノイズ対策用容量を設けた場合の等価回路図である。分図(b)は、従来の半導体装置における、半導体チップとパッケージとの接続部の部分断面図である。

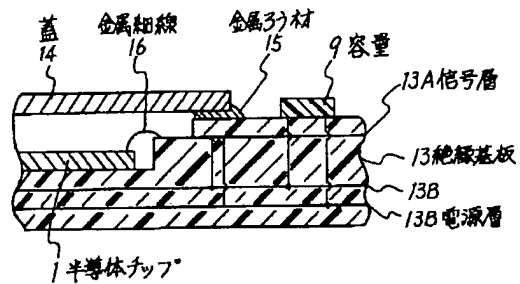
【符号の説明】

- 1 半導体チップ
- 2, 4, 7 電極端子
- 3, 8, 15, 18 金属ろう材
- 5, 13 絶縁基板
- 6 スルーホール
- 9 容量
- 10A, 10B 平板電極
- 11 誘電体層
- 12 パッケージ基体
- 13A 信号線
- 13B 電源層
- 14 蓋
- 16 金属細線
- 18 金属棒

【図3】

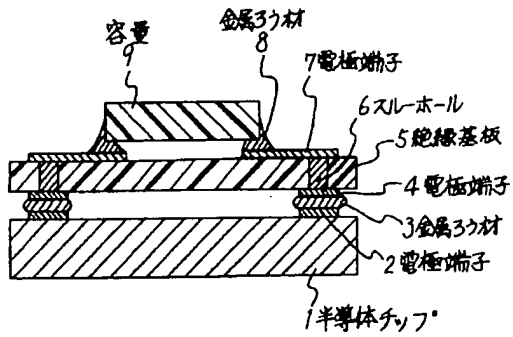


(a)



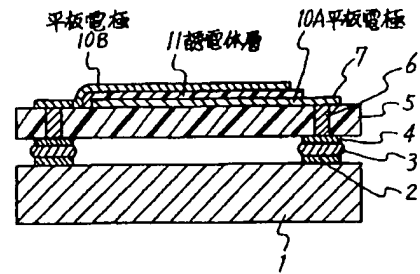
(b)

【図1】

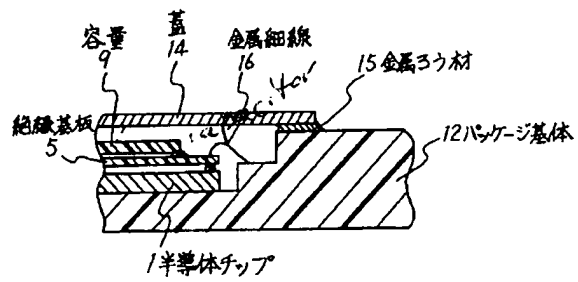


(a)

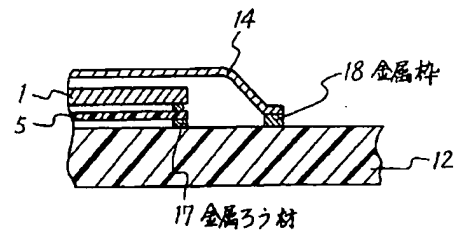
【図2】



(a)



(b)



(b)